

corresponding to
US 2004/0083309 A1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-344539
(43)Date of publication of application : 29.11.2002

(51)Int.Cl.
H04L 13/08
H04L 13/12
H04L 13/28
H04L 13/36
H04L 13/38
H04L 12/28
H04L 12/40

(21)Application number : 2001-144704
(22)Date of filing : 15.05.2001

(71)Applicant : RICOH CO LTD

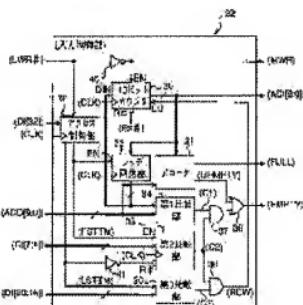
(72)Inventor: YAMAMOTO HITOSHI

(54) FIFO DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a receiving FIFO device which is capable of preventing a PCI bus from being unnecessarily occupied and improving a system in throughout as a whole.

SOLUTION: A third comparator 36 of an input control unit 22 checks whether a received packet is an error packet or not on the basis of acknowledgment information contained in the trailer 63 of the received packet written in a memory unit 21. When it is found that the received packet is an error packet, a high-level EMPTY signal is outputted to an output control unit 23, and the received packet is disused so as to restrain the error packet from being transferred to a receiving DMA unit 10. A second comparator 35 checks whether the received packet is a packet of prescribed type or not on the basis of toode information recorded in the first quadlet of the header 61 of the received packet written in the memory unit 21. The received packet containing the prescribed errors is disused only when it is found that the received packet is a packet of prescribed type.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-344539

(P2002-344539A)

(43) 公開日 平成14年11月29日(2002.11.29)

(51)Int.Cl. ¹	識別記号	FI	フリーテキスト(参考)
H 04 L	13/08	H 04 L	13/08
G 06 F	13/12	G 06 F	13/12
	3 4 0		3 4 0 B
	13/28	13/28	3 1 0 D
	3 1 0		5 B 0 7 7
	13/36	13/36	3 1 0 F
	3 1 0		5 K 0 3 2
	13/38	13/38	3 1 0 D
	3 1 0		5 K 0 3 3

審査請求・未請求 請求項の数 5 QL (全 12 頁) 最終頁に統ぐ

(21) 出願登号 美願2001-144704(P2001-144704)

(71) 申请人 0000006743

株式会社日日

東京都大田区由顧込1丁目3番6号

(22) 送回日 平成13年5月15日(2001.5.15)

(72) 专利者 山木 肇

東京都大田区

会社リフ

(74)代理人 100052144

(22)出願日 平成13年5月15日(2001.5.15)
(72)発明者 木下 齊 東京都大田区中野1丁目3番6号 株式会社リコー内
(74)代理人 100082144
弁理士 青山 茂 (外1名)

易经首经读法

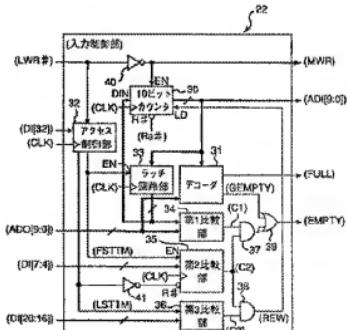
(54) [発明の名稱] EIEO装置

(5) 「要約」

【課題】 不要に PCI バスが占有されることを防止して、システム全体の処理能力を高めることができる受信用の IEEE の特徴を得る。

の所の「アラート」欄に停電と表示。

【解決手段】 入力制御部2は、第3比較部36で、メモリ部21に書き込まれた愛信パケットのトレイラー部63のアクリロジック情報から、該愛信したパケットがエラーパケットか否かを調べ、エラーパケットであった場合は、出力制御部23にハイレベルのEMPTY信号を出力すると共に該受信パケットを破棄することによって、受信用DMA装置10にエラーパケットが転送されないようにし、第2比較部35で、メモリ部21に書き込まれた愛信パケットのヘッダ部61の1ケフレッドレット目に記録されたt c o d e情報から、愛信したパケットが所定のタイプのパケットか否かを調べ、所定のタイプのパケットである場合に対してのみ、所定のエラー時にパケットを破棄するようにした。



【特許請求の範囲】

【請求項1】 IEEE802.3Q規格に準拠したインターフェースを介して入力され該規格のデータフォーマットに準拠するパケットを、一時的に格納して転送するF1

FOメモリをなす FIFO装置において、

上記入力されたパケットを格納するメモリ部と、
外部から入力される制御信号に応じて、該メモリ部に対
してデータ書き込みを行うアドレスを所定のタイミング
で順次生成して出力し、メモリ部に対するデータ書き込

外部から入力される制御信号に応じて、上記メモリ部に対してデータ読み出しを行うアドレスを所定のタイミングで順次生成して出しし、メモリ部に対するデータ読み出し制御を行う出力制御部と、

上記入力制御部は、メモリ部に入力されたパケットの所定の情報から、該パケットの転送実施判定を行い、転送を禁止する判定を行うと、上記出力制御部に対してメモリ部からのデータ読み出しを禁止と共に、上記メモ

リ部に対して、新たに入力されるパケットを上書きさせて、格納しているパケットを消去させることを特徴とする FIFO装置。

たパケットのトレイラー部におけるアノリッジ情報から該パケットの転送実施判定を行うことを特徴とする請求項1記載のFIFO装置。

「請求項3」 上記八方側御部は、メモリ部に入力されているパケットの上記アクノリッジ情報が入力されるまでは、上記出力側御部に対してメモリ部からのデータ読み出しを禁止することを特徴とする請求項2記載のF1回路。

【請求項4】 上記入力制御部は、メモリ部に入力されたパケットが所定のタイプのパケットである場合のみ、上記転送実施判定結果に応じて、出力制御部に対してメモリ部から出力部へ各転送用上位出力端子へ上記入力

モリ部に対して、新たに入力されるパケットを上書きさせて、格納しているパケットを消去させることを特徴とする請求項1、2又は3記載のFIFO装置。

【請求項5】 上記入力消御部は、メモリ部に入力されたパケットのヘッダ部におけるパケットのタイプ情報から、該パケットが所定のタイプのパケットであるか否かの判定を行うことを特徴とする請求項4記載のFIFO装置

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、パーソナルコンピュータ等において、IEEE1394インターフェースを有するOHCI(Open Host Controller Interface)規格に準拠したPC1ホストカードにおけるデータ転送制御装置で使用されるFIFOオペレータをすすめます。FIFOオペレータに関する特徴を以下に説明します。

して入力されたデータを、PCIバスを介してパーソナルコンピュータ等に転送する際に使用する受信用のFI FO装置に関する。

[0002]

「従来の技術」従来、IEEE 1394規格に準拠したシリアルバスのインターフェース回路を有するパーソナルコンピュータ等のデータ転送制御装置では、IEEE 1394バスは物理(Physical)層に接続され、該物理層はリンク(Link)層に接続されている。更に、リンク層には、アシンクロナス(Asynchronous)パケット送信用のFIFO装置、アイソクロナス(isochronous)パケット送信用のFIFO装置及び受信用のFIFO装置(以下、受信用FIFO装置と呼ぶ)がそれぞれ接続されている。

【0003】更に、アシンクロナスパケット送信用の FIFO装置はアシンクロナス送信用のDMA(direct memory access)装置に、アイソクロナスパケット送信用の FIFO装置はアイソクロナス送信用のDMA装置

に、受信用 FIFO装置は受信用のDMA装置（以下、受信用 DMA装置と呼ぶ）にそれぞれ対応して接続される。また、これらの各DMA装置は、PCIバスの制御を行うPCI制御部に接続され、PCI制御部を介してPCIバスに接続される。

【0004】したがって、PCIバスには複数のお互い非同期なDMA装置が接続されることになるため、IEB1394連接機器を複数台接続して使用したりする

場合には、各プロセス間によるデータ交換が発生する可能性が高くなる。このことから、パーソナルコンピュータの処理能力の低下を招く可能性があった。そこで、PCバスの競合を少しでも防ぐためにも、受信データを処理する際のデータ転送を行なうためにPCバス

面では、モリ部101とモリ部102、モリ部103とモリ部104で構成する出力制御部101-4とデータ出力を制御する出力制御部103で構成されている。モリ部101は、入力されたパケットが実際に格納される記憶部101で、図8では1024×33(бит)の記憶容量を有している。また、モリ部101には、リンク(図示せず)からデータ入力バス104を介して入力データDI[32:0]が、人力制御部102からは該入力データDI[32:0]の書き込みを行うタイミングを得たためのタイミング信号MWがそれぞれ入力される。

【0006】更にメモリ部101には、入力制御部102から、データを書き込むアドレスを示した10ビットデータからなるライトアドレスADI[9:0]が、出力制御部103から、データを読み出すアドレスを示した1

0ビットデータからなるリードアドレスA_DO[9:0]がそれぞれ入力される。メモリ部101から読み出された

出力データD0[32:0]は、データ出力バス105を介して受信用DMA装置(図示せず)へ出力される。

【0007】また、入力制御部102には、データの書き込みを行うタイミングを得るためにリンク層からのタイミング信号であるLWR#信号が入力されると共に、リードアドレスADO[9:0]が出力制御部103から入力される。更に、入力制御部102は、メモリ部101にデータを記憶するための空き領域がないフル(Full)状態であることを示すFULL信号をリンク層へ出力すると共に、メモリ部101にデータを記憶するための空き領域があるエンブティ(Empty)状態であることを示すEMPT信号を出力制御部103へ出力する。

【0008】また、出力制御部103は、リードデータ要求信号FREQ#が受信用DMA装置から入力され、リードデータ許可信号FRACK#を受信用DMA装置へ出力する。なお、メモリ部101のデータ幅が33ビットである理由は、IEEE1394のパケットは基本的に32ビットデータであり、パケットの最終データを知るために必要な1ビットデータがリンク層で付加されて、データ幅が33ビットになる。

【0009】次に、図9は、図8で示した入力制御部102の構成例を示したブロック図である。図9で示すように、タイミング信号LWR#の信号レベルを反转させた信号がタイミング信号MWR#となり、該タイミング信号MWR#は、10ビットカウンタ111におけるカウントアップのイネーブル端子ENに入力される。10ビットカウンタ111の出力データは、ライトアドレスAD1[9:0]となる。また、10ビットカウンタ111は、リセット端子R#にロー(Low)レベルのリセット信号R#が入力されるリセット時には“000h”にセットされる。また、デコード112は、入力されたライトアドレスADI[9:0]及びライトアドレスADO[9:0]を所定の方法でデコードしてFULL信号及びEMPTY信号を生成し出力する。

【0010】メモリ部101に書き込まれるIEEE1394の受信データは、パケットのタイプやその他のアドレス情報等が入ったヘッダ部と、データ情報が入ったデータ部と、受信した時間や送信した相手に送ったアクリジ情報等が入ったトレイラー(Trailer)部とで構成されている。ヘッダ部、データ部及びトレイラー部は、1ワードが32ビットデータ(以下、クワドレットと呼ぶ)で構成されている。受信データの最終クワドレットをなすトレイラー部には、送信した相手に対して送ったアクリジ情報があり、該アクリジ情報には、様々なエラー情報等も含まれている。

【0011】
【発明が解決しようとする課題】ここで、受信用FIFO装置100がエラー・パケットを受信して、受信用DMA装置がこれらのエラー・パケットを受け取った場合においても、PCIバスを占有してパケットを処理し、最終

のトレイラー部を受けた時点でこのパケットがエラーであったことを検出し処理したパケットを無効にする。すなわち、このようなエラー・パケットに対してしてもPCIバスを占有するようにしていたことから、各DMA装置によるPCIバスの競合が発生しやすいため、システム全体の処理能力が低下するという問題があつた。

【0012】本発明は、上記のような問題を解決するためになされたものであり、不慮のPCIバスを占有されることを防止して、システム全体の処理能力を高めることができる受信用のFIFO装置を得ることを目的とする。

【0013】

【課題を解決するための手段】この発明に係るFIFO装置は、IEEE1394規格に準拠したインタフェースを介して入力され該規格のデータフォーマットに構成するパケットを、一時的に格納して転送するFIFOメモリをなすFIFO装置において、入力されたパケットを格納するメモリ部と、外部から入力される制御信号に応じて、該メモリ部に対してデータ書き込みを行うアドレスを所定のタイミングで順次生成して出力し、メモリ部に対するデータ読み出し制御を行なう出力制御部とを備え、入力制御部は、メモリ部に入力されたパケットの所定の情報から、該パケットの転送実施判定を行い、転送を禁止する判定を行うと、出力制御部に対してメモリ部からのデータ読み出しを禁止すると共に、メモリ部に対して、新たに入力されるパケットを上書きさせて、格納しているパケットを消去するものである。

【0014】具体的には、上記入力制御部は、メモリ部に入力されたパケットのトレイラー部におけるアクリジ情報から該パケットの転送実施判定を行うようにした。

【0015】また、上記入力制御部は、メモリ部に入力されているパケットの上記アクリジ情報が入力されるまでは、出力制御部に対してメモリ部からのデータ読み出しを禁止するようにした。

【0016】更に、上記入力制御部は、メモリ部に入力されたパケットが所定のタイプのパケットである場合のみ、上記転送実施判定結果に応じて、出力制御部に対してメモリ部からのデータ読み出しを禁止すると共に、上記メモリ部に対して、新たに入力されるパケットを上書きさせて、格納しているパケットを消去するようにしてほしい。

【0017】具体的には、上記入力制御部は、メモリ部に入力されたパケットのヘッダ部におけるパケットのタイプ情報から、該パケットが所定のタイプのパケットであるか否かの判定を行なうようにした。

【0018】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。図1は、本発明の実施の形態におけるFIFO装置を使用するデータ転送制御装置の例を示した概略のブロック図であり、IEEE1394を用いたパーソナルコンピュータ等でのデータ転送は、図1のよう構成になっている。

【0019】IEEE1394規格に準拠したシリアルバスのインターフェース回路を有するパーソナルコンピュータ等におけるデータ転送制御装置1では、IEEE1394バス2は物理(Physical)層3に接続され、該物理層3にはリンク(Link)層4に接続されている。更に、リンク層4には、アシンクロナス(Asynchronous)パケット送信用のFIFO装置(図1ではAT FIFOと示す)5、アイソクロナス(Isochronous)パケット送信用のFIFO装置(図1ではTFIFOと示す)6及び受信用のFIFO装置(以下、受信用FIFO装置と呼ぶ)7がそれぞれ接続されている。なお、FIFO装置とは、FIFOメモリを有するものである。

【0020】更に、アシンクロナスパケット送信用のFIFO装置5は、アシンクロナス送信用のDMA(direct memory access)装置(図1ではAT DMAと示す)8に、アイソクロナスパケット送信用のFIFO装置6はアイソクロナス送信用のDMA装置(図1ではIT DMAと示す)9に、受信用FIFO装置7は受信用のDMA装置(以下、受信用DMA装置と呼ぶ)10にそれぞれ対応して接続されている。また、これらの各DMA装置8～10は、PCIバス1の制御を行うPCI制御部11にそれぞれ接続され、PCI制御部11によってPCIバス12に接続される。

【0021】図2は、本発明の実施の形態におけるFIFO装置の構成例を示した概略のブロック図であり、図2では、図1の受信用FIFO装置7を例にして示している。図2における受信用FIFO装置7は、メモリ部21、該メモリ部21へのデータ書き込みを制御する入力制御部22及びメモリ部21からのデータ読み出しを制御する出力制御部23で構成されている。メモリ部21は、入力されたパケットが実際に格納される記憶回路部があり、図2では1024×33(ビット)の記憶容量を有している場合を例にして示している。

【0022】メモリ部21には、リンク層4からデータ入力バス24を介して受信データである入力データD1[32:0]が、入力制御部22からは該入力データD1[32:0]の書き込みを行うタイミングを得ためのタイミング信号であるMWR信号がそれぞれ入力される。また、データ入力バス24からの入力データD1[32:0]の一部のデータが、入力制御部22に入力される。更に、メモリ部21には、入力制御部22から、データ書き込みを行いうアドレスを示した10ビットデータからなるライトアドレスAD1[9:0]が、出力制御部23から、データ競

み出しを行いうアドレスを示した10ビットデータからなるリードアドレスAD0[9:0]がそれぞれ入力される。また、メモリ部21から読み出された出力データD0[32:0]は、データ出力バス25を介して受信用DMA装置10へ出力される。

【0023】なお、入力データD1[32:0]及び出力データD0[32:0]における[32:0]は、32番目から0番目までの各ビットデータからなる33ビットデータであることを示しており、同様に、ライトアドレスAD1[9:0]及びリードアドレスAD0[9:0]における[9:0]は、9番目から0番目までの各ビットデータからなる10ビットデータであることを示している。

【0024】また、入力制御部22には、データ書き込みを行いうタイミングを得ためのリンク層4からのタイミング信号であるLWR#信号が入力されると共に、リードアドレスAD0[9:0]が出力制御部23から入力される。更に、入力制御部22は、メモリ部21にデータを記憶するための空き領域がないフル(Full)状態であることを示すFUL#信号をリンク層4へ出力すると共に、メモリ部21にデータをまったく記憶していないエンプティ(Empty)状態であることを示すEMPTY信号を出力制御部23へ出力する。

【0025】また、出力制御部23は、メモリ部21からデータを読み出す場合に受信用DMA装置10からリードデータ要求信号FREQ#が入力され、メモリ部21のエンプティ状態に応じてリードデータ許可信号FACK#を受信用DMA装置10に出力する。なお、メモリ部21のデータ幅が33ビットである理由は、IEEE1394のパケットが基本的には32ビットデータであり、該32ビットデータにパケットの最終データを知るための1ビットデータがリンク層4で付加されてデータ幅が33ビットになっている。

【0026】次に、図3は、図2で示した入力制御部22の構成例を示したブロック図である。図3において、入力制御部22は、10ビットカウンタ30と、デコーダ31と、アクセス制御部32と、ラッチ回路部33と、第1比較部34と、第2比較部35と、第3比較部36と、AND回路37、38と、OR回路39と、インバータ40、41とで構成されている。リンク層4から入力されたLWR#信号は、インバータ40によって信号レベルが反転され、MWR信号としてメモリ部21に出力される。該MWR信号は、10ビットカウンタ30におけるカウントアップのイネーブル信号ENに入力され、MWR信号がハイ(High)レベルになると、10ビットカウンタ30はイネーブルとなり、カウントを開始する。

【0027】10ビットカウンタ30の出力データは、ライトアドレスAD1[9:0]としてメモリ部21に出力されると共にデコーダ31及びラッチ回路部33にそれぞれ出力される。10ビットカウンタ30は、リセット

端子R #にロー (Low) レベルのリセット信号R s #が入力されるリセット時には、カウント値が“000h”にリセットされる。また、10ビットカウンタ30は、データロード端子LDにハイレベルの信号が入力されると、データ入力端子D INに入力された10ビットのデータがカウント値としてロードする。

【0028】また、デコーダ31は、入力されたライトアドレスADI[9:0]及びリードアドレスADO[9:0]を所定の方法でデコードしてFUL L信号及びEMPTY信号を生成し、該生成したFUL L信号をリンク層4に、該生成したEMPTY信号(図3では、GEMPTY Y信号として示している)をOR回路39の一方の入力端に出入力する。なお、後述するように、OR回路39の出力信号をEMPTY Y信号として出力制御部23に出入力することから、以下、デコーダ31から出力されるEMPTY信号をGEMPTY Y信号と呼ぶ。

【0029】アクセス制御部32は、リンク層4からのLWR #信号と、パケットの最終データであるか否かを示した入力データD I [32:0]における32番目のビットデータである入力データD I [32]から、リンク層4から入力されたデータがそのパケットの最初のデータであることを示すF S T T M信号、及びリンク層4から入力されたデータがそのパケットの最後のデータであることを示すL S T T M信号をそれぞれ生成する。更に、アクセス制御部32は、該生成したF S T T M信号をラッチ回路部33及び第2比較部35の各イネーブル端子E Nにそれぞれ出力すると共に、該生成したL S T T M信号をインバータ41の入力端及び第3比較部36にそれぞれ出力する。該L S T T M信号は、インバータ41を介して第2比較部35のリセット端子R #に入力される。

【0030】図4は、アクセス制御部32の内部構成例を示した回路図であり、図4において、アクセス制御部32は、同期式のセット端子を有するDフリップフロップ51、AND回路52～54、OR回路55及びインバータ56、57で構成されている。入力データD I [32:0]は、インバータ56を介してAND回路52の一方の入力端に入力されると共に、L S T T M信号として出力される。

【0031】また、LWR #信号は、AND回路53の一方の入力端に入力されると共にインバータ57を介してAND回路54の一方の入力端に入力されている。一方、AND回路52、53の各他方の入力端には、外部からのリセット信号R s #がそれぞれ入力されている。

なお、該リセット信号R s #は、パーソナルコンピュータ等のようなデータ転送制御装置1を備えたシステムに對して、パワーオンリセットやシステムリセット等が行われる際に、PC1バス12を介して入力されるものであり、該リセット信号R s #の信号経路の図示は省略している。

【0032】AND回路52の出力信号は、Dフリップ

フロップ51の同期式のセット端子S #に入力され、AND回路53の出力信号は、OR回路55の一方の入力端に入力され、OR回路55の他方の入力端には、外部からのシステムクロックCLKは、入力されている。なお、該システムクロックCLKは、パーソナルコンピュータ等のようなデータ転送制御装置1を備えたシステムで使用されるクロック信号であり、システムクロックCLKの信号経路の図示は省略している。

【0033】OR回路55の出力信号は、Dフリップフロップ51のクロック信号入力端に入力されており、Dフリップフロップ51のクロック信号として使用される。Dフリップフロップ51の非反転出力端Qからの出力信号は、AND回路54の他方の入力端に出入りされ、AND回路54の出力信号がF S T T M信号を示す。Dフリップフロップ51のD入力端は接地されていることから、Dフリップフロップ51は、クロック信号入力端に入力されて信号のアップエッジでラッチする動作を行う。このような構成にすることにより、アクセス制御部32は、入力データD I [32]がローレベルのときにLW

R #信号がローレベルに立ち下がると、ハイレベルのF S T T M信号を1クロックの間出力し、入力データD I [32]をL S T T M信号として出力する。

【0034】次に、ラッチ回路部33は、10ビットカウンタ30から出力されるライトアドレスADI[9:0]が入力され、イネーブル端子E Nに入力されているF S T T M信号がイネーブルになったとき、すなわちハイレベルの信号がイネーブル端子E Nに入力されたときに10ビットカウンタ30から入力されているライトアドレスADI[9:0]をラッチする。このことは、ラッチ回路部33が、パケットにおける最初のデータが書き込まれるメモリ部21のアドレスデータをラッヂすることを示している。

【0035】次に、第1比較部34は、ラッチ回路部33にラッヂされているアドレスデータと、出力制御部23から入力されるリードアドレスADO[9:0]とを比較し、一致するとハイレベルの出力信号C1を、一致しなかった場合はローレベルの出力信号C1を出力する。すなわち、該出力信号C1がハイレベルのときは、リンク層4が受信用FIFO装置7に対して現在書き込み中であるパケットを受信用DMA装置10が読み出そうとしていることを示している。

【0036】第2比較部35は、33ビットの入力データD I [32:0]における32番目から0番目までの各ビットデータの内、7番目から4番目までの各ビットデータからなる入力データD I [7:4]が入力されると共に、アクセス制御部32からのF S T T M信号がイネーブル端子E Nに人力される。第2比較部35は、人力された入力データD I [7:4]が、あらかじめ設定されたデータと一致するか否かを比較し、ハイレベルのF S T T M信号が入力されると、該比較結果をラッヂして出力する。

9

【0037】ここで、IEEE1394における受信データのフォーマットについて説明する。図5は、リンク層4から入力されるパケットのフォーマットを示した概略図である。なお、図5では、リンク層4によって付加された、パケットの最終データであるか否かを示した1ビットデータである入力データD1[32]は省略して示している。

【0038】図5で示すようにIEEE1394の受信データ、すなわちリンク層4から入力されるパケットは、パケットのタイプやその他のアドレス情報等が入ったヘッダ部61と、データ情報が入ったデータ部62と、受信した時間や送信した相手に送ったアノリッジ情報等が入ったトレイラー（Trailer）部63とで構成されている。ヘッダ部61、データ部62及びトレイラー部63は、32ビット幅の1ワードデータ（以下、クワドレットと呼ぶ）、すなわち入力データD1[31:0]で構成されている。

【0039】ヘッダ部61は、最大4クワドレットで構成され、ヘッダ部61の最初の1クワドレットにおける7番目～4番目までの各ビットデータに「t code」と呼ばれるパケットのタイプ情報（以下、これをt code情報と呼ぶ）が格納されている。また、データ部62は、0～1024クワドレットで構成され、パケットのタイプによっては該データ部62がないパケットもある。受信データの最終クワドレットはトレイラー部63と呼ばれ、該トレイラー部63における20番目～16番目までの各ビットデータに「event code」と呼ばれる、パケットを送信してきた相手に対して送ったアノリッジ情報が格納されている。

【0040】該アノリッジ情報には、様々な情報があり、例えば、データ転送制御装置1がデータを完全に受信できたことを示す「ack_complete」、データ転送制御装置1がデータを受信できたが後でレスポンスパケットを送信するということを示す「ack_pending」がある。更に、アノリッジ情報には、データ転送制御装置1が何らかの理由で現在データを受信することができないことを示す「ack_busy」及びデータ転送制御装置1が受け取ったデータに不具合があったことを示す「ack_data_error」等がある。

【0041】このようなことから、第2比較部35は、パケットのヘッダ部61における1クワドレット目のデータがリンク層4から入力され、ハイレベルのFSTTM信号が入力されると、比較した結果をラッ奇して出力信号C2として出力する。すなわち、第2比較部35は、t code情報をなくす入力データD1[7:4]をあらかじめ設定されたデータと比較して一致するか否かを調べ、FSTTM信号がハイレベルのときに該比較結果をラッ奇して出力信号C2として出力する。

【0042】例えば、第2比較部35は、入力データD

10

[7:4]があらかじめ設定されたデータと一致すると、ハイレベルの出力信号C2を出力する。また、第2比較部35は、アクセス制御部32からのFSTTM信号がハイレベルになってアクトイブになると、インバータ41を介してリセット端子R#がローレベルになり、入力されているクロック信号CLKに同期してリセットがかかり、出力信号C2はローレベルになる。

【0043】ここで、t code情報を用いて、あらかじめ設定されたパケットのタイプだけをエラー時に破棄するようにした必要性について説明する。IEEE1394には、大きく分けてアシンクロナス及びアシンクロナスという2種類のパケットが存在する。アシンクロナスパケットには大きく分類すると、アシンクロナス・リクエスト（Asynchronous Request）パケットとアシンクロナス・レスポンス（Asynchronous Response）パケットが存在する。通常、図1に示すようなデータ転送制御装置1は、IEEE1394バス2からきたアシンクロナス・リクエストパケットを受信して、該パケットをそのままPC1バス1を介してメインメモリ（図示せず）にデータ転送する。

【0044】更に、CPU（図示せず）が所定のソフトウェアを実行することによって、データ転送された添付パケットが処理されてアシンクロナス・レスポンスパケットが生成され、データ転送制御装置1は、該パケットをメインメモリからPC1バス1を介してIEEE1394バス2に送信する。また、アシンクロナスパケットには、フィジカル・リクエスト（Physical Request）とフィジカル・レスポンス（Physical Response）という特徴的なパケットが存在する。これは、アシンクロナスパケットのフォーマットであるが、その中に含まれる転送相手のアドレス情報がIEEE1394で規定されている「t code」の種類でかつフィジカル（Physical）領域と呼ばれるアドレスであるパケットをフィジカル・リクエストパケットと呼ぶ。

【0045】上記フィジカル・リクエストパケットに対して、図1で示したデータ転送制御装置1は、ソフトウェアが介在することなくデータ転送制御装置1のみで処理し、フィジカル・レスポンスパケットを自動生成し、IEEE1394バス2にデータ送信を行う。これは、

40 ソフトウェアの介在をなくしてリクエストパケットの受信からレスポンスパケットの送信までの時間を短縮できるメリットがある。しかし、すべてのパケットのタイプに対してエラー時にデータを破棄するようにした場合、すべてのパケット受信を一時的に停止する、すなわち、フィジカル・リクエストパケット受信に対する処理を遅らせる可能性が高くなる。

【0046】また、フィジカル・リクエストパケット受信は、データ転送制御装置1だけでフィジカル・レスポンスパケットを生成するため、基本的にエラーのアノリッジ情報が発生することはない。そこで、「t co

de)」のようなデータのパケットタイプ情報を用いてデータ破壊できる対象に選択することができれば、フィジカル・リクエストパケットに対する処理の遅延をなくすことができる。また、本実施の形態では、t c o d e 情報のみを用いているが、フィジカル(Physical)領域を判断する回路も加えることができる。しかし、フィジカル領域を判断するアドレスは、4 8 ビットデータのデコード等が必要になり、回路が複雑になることから本実施の形態では t c o d e 情報のみを使用するようにした。

【0047】次に、第3比較部36は、3 3ビットの入力データD1[32:0]における3 2番目から0番目までの各ビットデータの内、2 0番目から1 6番目までのデータである入力データD1[20:16]が入力されると共に、アクセス制御部32からのL S T T M信号が入力される。第3比較部36は、入力されているL S T T M信号がハイレベルのときに、該入力データD1[20:16]が、エラーとしてあらかじめ規定し設定されたアノリッジ情報と一致するか否かを比較し、一致した場合、L S T T M信号がハイレベルの間、ハイレベルの出力信号C3を出力する。

【0048】第1比較部31からの出力信号C1は、AND回路3 7の一方の入力端に入力され、第2比較部3 2からの出力信号C2は、AND回路3 7の他方の入力端及びAND回路3 8の一方の入力端にそれぞれ入力される。また、第3比較部3 6からの出力信号C3は、AND回路3 8の他方の入力端に入力される。AND回路3 7の出力信号は、OR回路3 9の他方の入力端に入力され、OR回路3 9の出力信号が、EMPTY信号とし出力制御部2 3に出力される。

【0049】一方、AND回路3 8の出力信号は、REW信号として1 0ビットカウンタ3 0のロード端子LDに入力される。該REW信号がアクリティブになると、すなわちハイレベルになると、データを破壊することができる対象のパケットがエラーであることを示しており、1 0ビットカウンタ3 0は、データ入力端子D1[N]に入力されているラッチ回路部3 3からのアドレスデータをロードすることによって、エラーが発生したパケットの最初のアドレスにカウンタ値を戻す。

【0050】次に、図6は、図2で示した出力制御部2 3の構成例を示した図である。図6において、出力制御部2 3は、1 0ビットカウンタ7 0とNOR回路7 1とで構成されている。入力制御部2 2からのEMPT Y信号が、NOR回路7 1の一方の入力端に入力されると共に、リードデータ許可信号F R A C K #として受信用DMA装置1 0に出力される。

【0051】また、NOR回路7 1の他方の入力端には、受信用DMA装置1 0からのリードデータ要求信号F R E Q #が入力され、NOR回路7 1の出力信号は、1 0ビットカウンタ7 0のイネーブル端子ENに入力され、該イネーブル端子ENにハイレベルの信号が入

力されると1 0ビットカウンタ7 0はイネーブルとなり、カウントを開始する。1 0ビットカウンタ7 0の出力データは、リードアドレスA D O[9:0]としてメモリ部2 1及び入力制御部2 2にそれぞれ出力され、リセット端子R #にロー(L o w)レベルのリセット信号R s #が入力されるリセット時には、カウント値が“000 h”にリセットされる。

【0052】このような構成において、図7は、図2及び図3における各信号のタイミング例を示したタイミングチャートであり、図7を用いて図3で示した入力制御部2 2の各部の動作について説明する。図7において、タイミングT1～T4の間に3 2ビットの入力データA 0～A 3からなるパケットAが、タイミングT7～T1 1の間に3 2ビットの入力データB 0～B 4からなるパケットBが、タイミングT1 4～T1 8の間に3 2ビットの入力データC 0～C 4からなるパケットCが、更に、タイミングT2 1～T2 3の間に3 2ビットの入力データD 0～D 2が入力されるパケットDがリンク層4から入力される場合を示している。また、図7では、パケットB及びCがデータ破壊できるパケット対象であるものとし、パケットBでエラーが発生して破壊される場合を例にして示している。

【0053】更に図7では、受信用DMA装置1 0によるデータ読み出しはタイミングT5から始まり、受信用DMA装置1 0は、パケットAをタイミングT8まで読み出した後、次のパケットBをタイミングT1 0から読み出そうとするが、パケットBがデータ破壊できる対象パケットであると共にアクリティブ情報がエラーであったことから、メモリ部2 1に格納されたパケットBのすべてのデータが破壊される。また、パケットCがデータ破壊できる対象パケットであるため、受信用DMA装置1 0がタイミングT1 9までデータの読み出しが止められているタイミングを例にして示している。

【0054】まず、タイミングT1～T4の間にパケットAが受信用P I F O装置7のメモリ部2 1に書き込まれため、F S T T M信号はタイミングT1に、L S T T M信号はタイミングT4にハイレベルに立ち上がる。また、1 0ビットカウンタ3 0によって、ライトアドレスA D I[9:0]は、タイミングT1で“0”、タイミングT2で“1”、順次タイミングT5で“4”になるまでカウントアップされる。また、ラッチ回路部3 3は、タイミングT2で、パケットAのスタートアドレス“0”を示すライトアドレスA D I[9:0]をラッチし、次のパケットの最初のデータが書き込まれるまで保持してアドレスデータP S T A D D[9:0]として出力する。なお、アドレスデータP S T A D D[9:0]は、9番目から0番目までの各ビットデータからなる1 0ビットデータであることを示している。

【0055】このため、出力信号C1は、タイミングT2でハイレベルになり、タイミングT6でローレベルに

なる。また、パケットAはデータ破壊できる対象パケットではないため、出力信号C 2は、タイミングT 2からローレベルになる。そして、デコーダ3 1から出力されるG E M P T Y信号は、タイミングT 2以降、メモリ部2 1がエンティ状態でなくなるためローレベルになる。出力信号C 1の信号レベルにかかわらず、出力信号C 2がローレベルであるため、デコーダ3 1から出力されたG E M P T Y信号がO R回路3 9からE M P T Y信号として出力され、受信用DMA装置1 0へのリード許可信号P R A C K #は、タイミングT 2からローレベルになる。

【0 0 5 6】更に、タイミングT 5から受信用DMA装置1 0からのリード要求信号P R R E Q #がローレベルになり、1 0ビットカウンタ3 0によって、リードアドレスA D O [9:0]が、タイミングT 5で“0”、タイミングT 6で“1”、順次タイミングT 9で“4”になるまでカウントアップされる。

【0 0 5 7】次に、入力制御部2 2は、リンク層4からパケットBをタイミングT 7～T 1 1の間でメモリ部2 1に書き込もうとするが、パケットBはデータ破壊できる対象パケットであるため、出力信号C 2は、タイミングT 8～T 1 1でハイレベルになる。また、ラッチ回路部3 3は、タイミングT 8で、パケットBの最初のデータアドレス“4”を示すライトアドレスA D I [9:0]をロードしてラッチし、次のパケットの最初のデータが書き込まれるまで保持してアドレスデータP S T A D D [9:0]として出力する。

【0 0 5 8】更に、タイミングT 9で受信用DMA装置1 0によるメモリ部2 1からのデータ読み出しがため、リードアドレスA D O [9:0]がラッチ回路部3 3にラッチされているアドレスデータP S T A D D [9:0]と同じアドレス“4”を示し、出力信号C 1がハイレベルになる。したがって、タイミングT 9から出力信号C 1及びC 2が共にハイレベルになるため、O R回路3 9から出力されるE M P T Y信号は、タイミングT 9からハイレベルとなり、これに伴って、受信用DMA装置1 0へのリード許可信号P R A C K #もハイレベルになりメモリ部2 1からのデータ読み出しが許可されない。

【0 0 5 9】また、パケットBの最終データ“B 4”がメモリ部2 1に書き込まれ、そのアクリソリッジ情報がエラーであったため、出力信号C 3がタイミングT 1 1でハイレベルとなり、かつ出力信号C 2もハイレベルであるため、R E W信号はタイミングT 1 1でハイレベルとなる。したがって、1 0ビットカウンタ3 0には、ラッチ回路部3 3でラッチされているアドレスデータP S T A D D [9:0]のデータがタイミングT 1 1でロードされるため、タイミングT 1 2でライトアドレスA D I [9:0]は、1 0ビットカウンタ3 0に読み込まれたアドレスデータP S T A D D [9:0]が示すアドレス“4”を示したデータに戻る。

【0 0 6 0】すなわち、次のパケットのメモリ部2 1への書き込みはアドレス“4”から行われため、メモリ部2 1に書き込まれたエラー・パケットBは上書きされて消去されることになる。また、ライトアドレスA D I [9:0]がアドレス“4”を示すデータに戻ったため、ライトアドレスA D O [9:0]が示すアドレス“4”と一致することから、メモリ部2 1がE M P T Y状態となりデコーダ3 1から出力されるG E M P T Y信号が、タイミングT 1 2からハイレベルになる。

【0 0 6 1】次に、入力制御部2 2は、パケットCをタイミングT 1 4～T 1 8の間でメモリ部2 1に書き込むとするが、パケットBと同様にパケットCもデータ破壊できる対象パケットであるため、パケットBと同様の動作を行なうが、パケットBの場合と異なるのは、パケットCにはエラーが発生していないため、タイミングT 1 8でR E W信号がハイレベルにならず、パケットCは上書きされて消去されることはない。また、パケットCがメモリ部2 1に書き込まれたため、デコーダ3 1から出力されるG E M P T Y信号はタイミングT 1 5からローレベルになるが、出力信号C 2がハイレベルになるためE M P T Y信号はハイレベルとなり、受信用DMA装置1 0へのデータ読み出しは停止されたままである。

【0 0 6 2】しかし、タイミングT 1 9で出力信号C 2がローレベルになるため、O R回路3 9から出力されるE M P T Y信号もローレベルになり、受信用DMA装置1 0へのリード許可信号P R A C K #もローレベルとなる。このことから、受信用DMA装置1 0によるメモリ部2 1からのデータ読み出しが開始され、エラーが発生せずデータ消去されなかったパケットCがメモリ部2 1から読み出される。

【0 0 6 3】このように、本実施の形態におけるP I F O装置では、入力制御部2 2は、第3比較部3 6で、リンク層4からメモリ部2 1に書き込まれた受信パケットにおけるトレーラー部のアクリソリッジ情報から、該受信したパケットがエラー・パケットか否かを調べ、エラーパケットであった場合は、出力制御部2 3にハイレベルのE M P T Y信号を出力すると共に該受信パケットを破棄することによって、受信用DMA装置1 0にエラー・パケットが転送されないようにした。

【0 0 6 4】また、入力制御部2 2は、第1比較部3 4で、出力制御部2 3からのリードアドレスA D O [9:0]とラッチ回路部3 3にラッチされているパケットの最初のデータが書き込まれたライトアドレスA D I [9:0]とを比較して、現在受信中のパケット、すなわちメモリ部2 1へ書き込み中のパケットを受信用DMA装置1 0が読み出そうとしているか否かの検出を行なうようにした。現在受信中のパケット、すなわちメモリ部2 1へ書き込み中のパケットを受信用DMA装置1 0が読み出そうとしたときには、第1比較部3 4は、パケットの最終データであるトレーラー部3 6をメモリ部2 1に書き込まれ

59

るまでは、現在受信中のパケットを破棄する可能性があることから、出力制御部23にハイレベルのEMPTFY信号を出力するようにし、受信用DMA装置10に対してもメモリ部21からのデータ読み出しの一時停止ができるようにした。

【0065】これらのことから、不必要なPCIバスへのアクセスをなくすことができ、データ転送制御装置を使用したシステム全体の処理能力の増加を図ることができる。また、受信用DMA装置が無駄なデータ処理のために動作しないことから消費電力の削減を図ることができた。

【0066】更に、第2比較部35で、リンク層4からメモリ部21に書き込まれたパケットにおけるヘッダ部61の1ケワードレット上に記録されたtcode情報から、受信したパケットが所定のタイプのパケットか否かを調べ、所定のタイプのパケットである場合に對してのみ、所定のエラー時にパケットを破棄するようにした。

【0067】例えば、データ部を有するパケットは、PCIバスの占有率も高いが、ヘッダ部のみのパケット等は最大4ケワードレットしかないのでエラーパケットであってもほどんどPCIバスを占有しない。しかし、すべてのパケットタイプを、所定のエラー時にデータ破棄できるパケットの対象にすると、一時停止して受信用DMA装置の処理が遅れるような場合もある。このような処理の遅れを好まないパケットが存在する等時に、tcode情報によって対象を選択できるようにすることができる。例えば、PCIバスの占有率の高いデータ部を持ったパケットのみを一時停止するようにすることができます。

【0068】なお、上記説明において、信号名又は符号に#が付加された信号は、ローレベルのときにアクティブになることを示し、信号名又は符号に#が付加されていない信号は、ハイレベルのときにアクティブになることを示している。端子名又は符号に#が付加された端子は、ローレベルの信号が入力されるとアクティブになることを示し、端子名又は符号に#が付加されていない端子は、ハイレベルの信号が入力されるとアクティブになることを示している。

【0069】

【発明の効果】上記の説明から明らかなように、本発明のFIFO装置によれば、メモリ部に入力されたパケットの所定の情報から、該パケットの転送実施判定を行い、転送を実施する判定を行うと、メモリ部からのデータ読み出しを禁止と共に、新たに入力されるパケットを上書きせしめ、メモリ部に格納されているパケットを削除するようにならざるを得ない。従来の受信用FIFO装置に比較して、データ読み出しを禁止したパケットが、誤って読み出されることを確実に防止することができる。

ことができ、データ転送制御装置を使用したシステム全体の処理能力の増加を図ることができる。

【0070】具体的には、メモリ部に入力されたパケットのトレーラー部におけるアクノリッジ情報から該パケットの転送実施判定を行なうようにした。このことから、パケットの転送実施判定を容易に行なうことができる。

【0071】また、メモリ部に入力されているパケットの上記アクノリッジ情報が入力されるまでは、メモリ部からのデータ読み出しを禁止するようにした。このことから、データ読み出しを禁止したパケットが、誤って読み出されることを確実に防止することができる。

【0072】更に、メモリ部に入力されたパケットが所定のタイプのパケットである場合のみ、上記転送実施判定結果に応じて、メモリ部からのデータ読み出しを禁止するとと共に、新たに入力されるパケットを上書きさせて、メモリ部に格納されているパケットを削除するようにならざるを得ない。このことから、使用状況に応じて、データ転送を行なわざデータ破棄するパケットのタイプを選択することができる。

【0073】具体的には、メモリ部に入力されたパケットのヘッダ部におけるパケットのタイプ情報から、該パケットが所定のタイプのパケットであるか否かの判定を行なうようにした。このことから、このことから、メモリ部に入力されたパケットのパケットタイプを容易に判定することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態におけるFIFO装置を使用するデータ転送制御装置の例を示した概略のブロック図である。

【図2】 本発明の実施の形態におけるFIFO装置の構成例を示した概略のブロック図である。

【図3】 図2で示した入力制御部22の構成例を示したブロック図である。

【図4】 図3におけるアクセス制御部32の内部構成の例を示した回路図である。

【図5】 リンク層4から入力されるパケットのフォーマットを示した概略図である。

【図6】 図2で示した出力制御部23の構成例を示した図である。

【図7】 図2及び図3における各信号のタイミング例を示したタイミングチャートである。

【図8】 従来の受信用FIFO装置の構成例を示した図である。

【図9】 図8で示した入力制御部102の構成例を示したブロック図である。

【符号の説明】

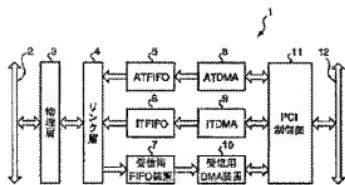
- 1 データ転送制御装置
- 2 IEEE1394バス
- 4 リンク層
- 50 7 受信用FIFO装置

10 受信用DMA装置
 11 PCI制御部
 12 PCIバス
 21 メモリ部
 22 入力制御部
 23 出力制御部
 24 データ入力バス
 25 データ出力バス
 30 10ビットカウンタ

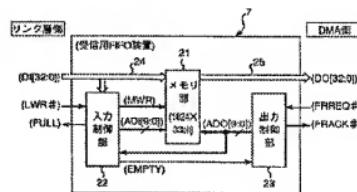
31 デコーダ
 32 アクセス制御部
 33 ラッチ制御部
 34 第1比較部
 35 第2比較部
 36 第3比較部
 61 ヘッダ部
 62 データ部
 63 トレイラー部

17

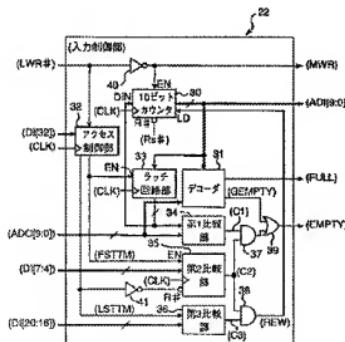
【図1】



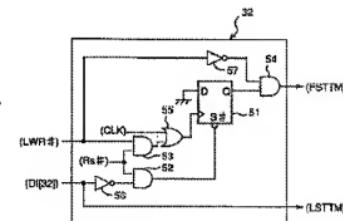
【図2】



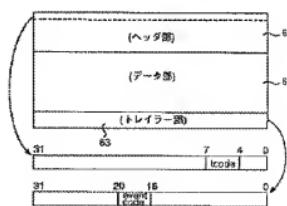
【図3】



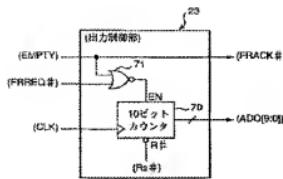
【図4】



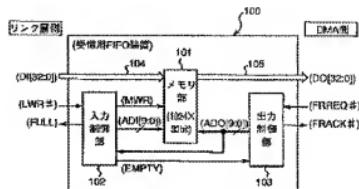
【図5】



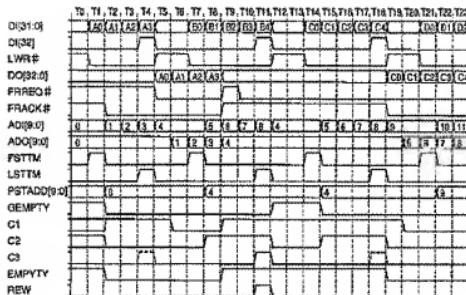
【図6】



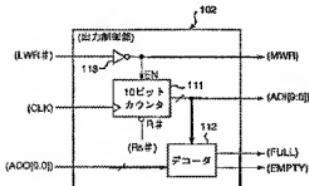
【図8】



【図7】



【図9】



フロントページの続き

(51) Int. Cl. 7
G 06 F 13/38
H 04 L 12/28

識別記号
3 5 0
1 0 0

F I
G 06 F 13/38
H 04 L 12/28

7-72-1 (参考)
3 5 0
5 K 0 3 4
1 0 0 H

12/40

12/40

Z

F ターク(参考) SB014 FB03 GD05 GD13 GD35 GE05
SB061 BA03 FF01 Q001
SB077 AA23 BA02 DD02 DD11 HH02
SK032 CB01 DA07 DB20 DB22
SK033 CC01 DB12 EC03
SK034 EE11 HH42